

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029911

(43)Date of publication of application : 31.01.1995

(51)Int.Cl. H01L 21/322
H01L 27/12

(21)Application number : 05-192853

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.07.1993

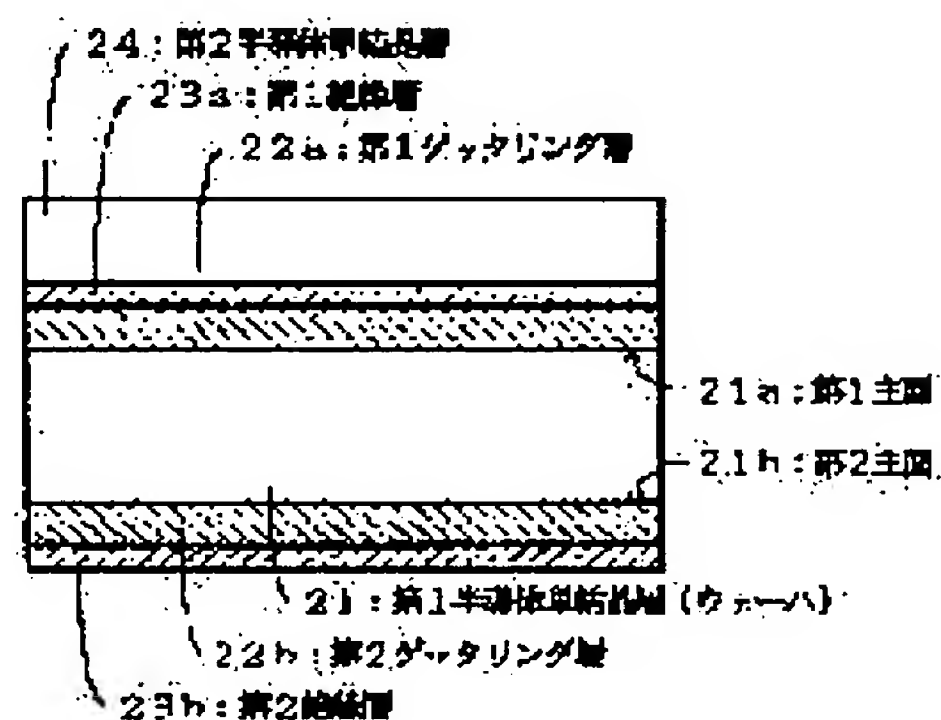
(72)Inventor : AMAI TSUTOMU

(54) SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain stable gettering capability which can restrain dislocation of process induction and crystal defect of OSF or the like, relieve adverse influence caused by substrate structure upon device characteristics, prevent the warp of a substrate, and improve and stabilize the manufacturing yield of a device.

CONSTITUTION: A dielectric isolation semiconductor substrate consists of the following; a first thick semiconductor layer 21 turning to a base, a first and a second gettering layers 22a, 22b formed on both main surfaces of the first semiconductor layer 21, a first and a second insulating layers 23a, 23b formed on both outside main surfaces of the gettering layers 22a, 22b, and a second semiconductor layer 24 of an active layer which is bonded to the outside main surface of the first insulating layer 23a. A substrate formed by an EG method is a substrate wherein two wafers hold a gettering layer between them and are stuck in a body. The substrate is worked and polished to have a specified thickness wherein the gettering layer is positioned at the center part of the thickness direction.



LEGAL STATUS

[Date of request for examination] 29.09.1999

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-29911

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/322	P	8617-4M		
	N	8617-4M		
	Q	8617-4M		
27/12	B			

審査請求 未請求 請求項の数4 F D (全 14 頁)

(21)出願番号 特願平5-192853

(22)出願日 平成5年(1993)7月7日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 天井 勉

神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内

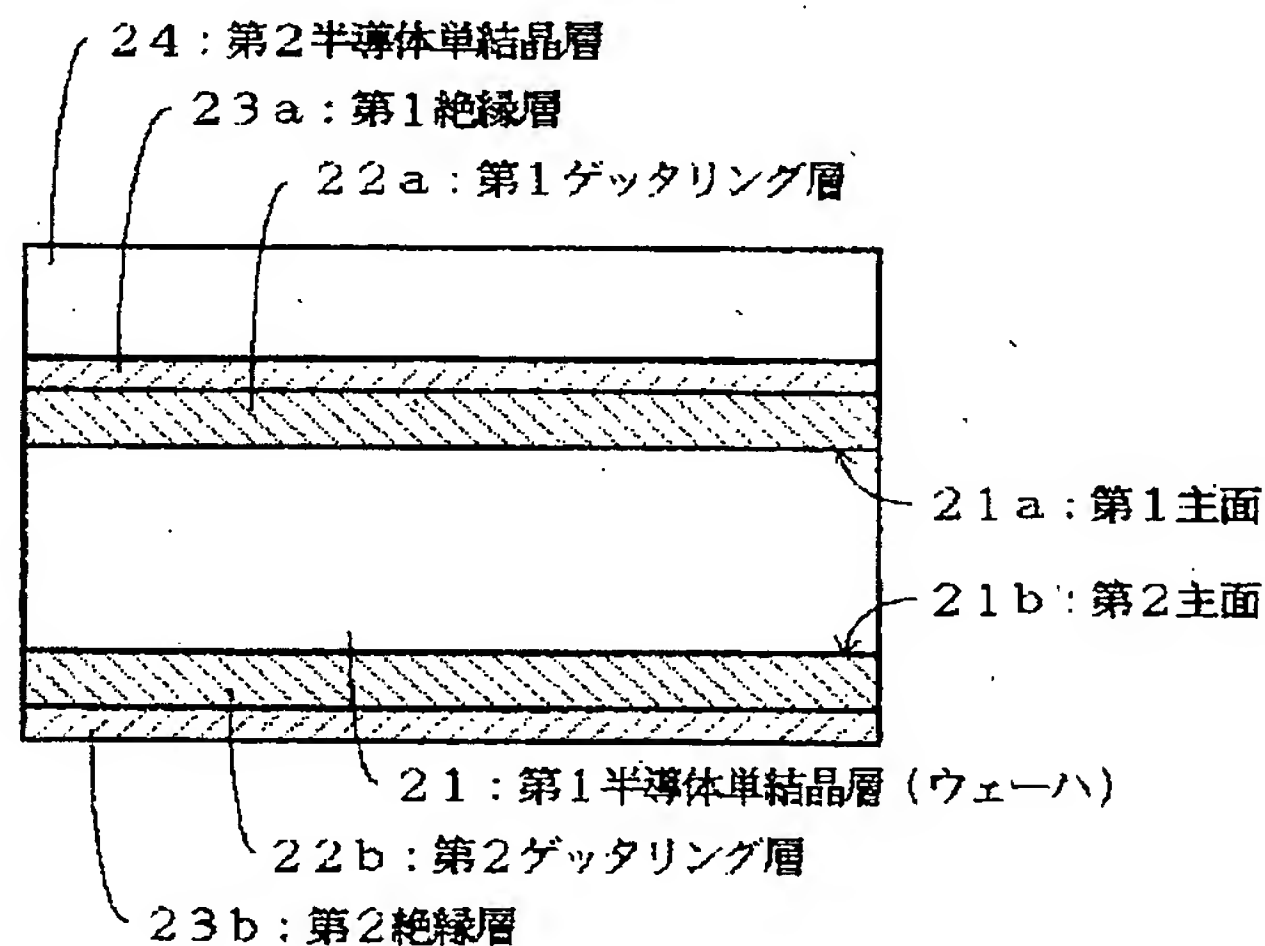
(74)代理人 弁理士 諸田 英二

(54)【発明の名称】 半導体基板とその製造方法

(57)【要約】

【目的】2枚のウェーハを接着して成る誘電体分離半導体基板及びEG法によるゲッタリング層を有する半導体基板におけるそれぞれの問題点を改善し、プロセス誘起の転位、OSF等の結晶欠陥を抑制できる安定したゲッタリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、基板の反りを防止し、デバイスの製造歩留まりの向上と安定を図る。

【構成】本発明の誘電体分離半導体基板は、台となる厚い第1半導体層と、第1半導体層の両主面上に形成される第1及び第2ゲッタリング層と、このゲッタリング層の外側両主面上に形成される第1及び第2絶縁層と、第1絶縁層の外側主面に接着される活性層の第2半導体層とから構成される。またEG法による前記基板は、2枚のウェーハをゲッタリング層を間に挟み貼り合わせた基板で、板厚が所定厚さに、ゲッタリング層が基板の厚さ方向の中心部に位置するよう加工研磨された基板である。



【特許請求の範囲】

【請求項 1】第 1 半導体単結晶層と、この第 1 半導体単結晶層の第 1 主面上及び第 1 主面と反対側の第 2 主面上のそれぞれに形成されるゲッターリング能力を有する第 1 ゲッターリング層及び第 2 ゲッターリング層と、第 1 ゲッターリング層の外側主面上に形成される第 1 絶縁層と、第 2 ゲッターリング層の外側主面上に形成される第 2 絶縁層或いは保護層で覆われた第 2 絶縁層と、第 1 絶縁層の外側主面上に形成される第 2 半導体単結晶層とを、具備することを特徴とする半導体基板。

【請求項 2】第 1 半導体単結晶層の第 1 主面上及び第 2 主面上にそれぞれ第 1 ゲッターリング層及び第 2 ゲッターリング層を形成する工程と、第 1 ゲッターリング層の外側主面上に第 1 絶縁層を形成する工程と、第 2 ゲッターリング層の外側主面上に第 2 絶縁層を形成する工程或いは第 2 絶縁層を形成後さらに該層を保護層で覆う工程と、第 1 絶縁層の外側主面上に、ウェーハ接着技術により第 2 半導体単結晶層を形成する工程とを、具備することを特徴とする請求項 1 記載の半導体基板の製造方法。

【請求項 3】第 1 半導体単結晶層の第 1 主面上にゲッターリング能力を有するゲッターリング層を形成する工程と、該ゲッターリング層の外側主面上にウェーハ接着技術により第 2 半導体単結晶層を形成する工程と、第 1 半導体単結晶層、ゲッターリング層及び第 2 半導体単結晶層からなる積層基板の板厚を所定の厚さにすると共に前記ゲッターリング層が積層基板の厚さ方向の中心部に位置するように、第 1 半導体単結晶層及び第 2 半導体単結晶層のいずれか一方或いは両方を加工研磨する工程とを、有することを特徴とする半導体基板の製造方法。

【請求項 4】第 1 半導体単結晶層と、この第 1 半導体単結晶層の第 1 主面上に形成されたゲッターリング能力を有するゲッターリング層と、このゲッターリング層の外側主面上に形成される第 2 半導体単結晶層とを有し、この積層基板の板厚が所定の厚さであると共にゲッターリング層が積層基板の厚さ方向の中心部に位置することを特徴とする半導体基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板及びその製造方法に関するもので、特にゲッターリング能力を有する誘電体分離基板または貼り合わせ基板に係るものである。

【0002】

【従来の技術】

(A) 従来、誘電体分離構造を持つ半導体装置の一例として図 29 に示すような構造のものが知られている。同図において、シリコン単結晶層 1 及びシリコン単結晶層 3 は絶縁層 2 を介し、互いに誘電体分離される。シリコン単結晶層 3 には、この半導体装置を構成する複数の素子が形成され、活性層と呼ばれる。この活性層は、トレ

ンチと呼ばれる溝により、複数の素子形成領域に分割される。図 29 では、トレンチは、絶縁層 4、ポリシリコン層 5 により充填され、素子形成領域には、N⁻ 型シリコン層 (コレクタ領域) 6、N 型不純物拡散層 (コレクタコンタクト領域) 7、P 型不純物拡散層 (ベース領域) 8、及び N 型不純物拡散層 (エミッタ領域) 9 が形成されている。

【0003】また前記誘電体分離構造を持つ半導体装置の基板の製造方法としては図 26 ないし図 28 に示すようなものが知られている。

【0004】図 26 は、熔融再結晶法による製造方法を説明するための断面図である。すなわちシリコン単結晶層 (ウェーハ) 1 上に、酸化シリコン (SiO₂) 層 2 を設けた後、この酸化シリコン層 2 上にポリシリコン層 5 (またはアモルファスシリコン層 5a、) を堆積形成する。そしてレーザーまたは電子ビーム 10 を照射し熔融再結晶させることにより順次シリコン単結晶層 (活性層) を固層成長させる方法である。

【0005】図 27 は、SIMOX (Separation by Implanted Oxygen) 法による製造方法を説明するための断面図である。シリコン単結晶ウェーハ 1 に酸素イオン (16O⁺ または 32O₂⁺) 11 を注入することにより、酸化シリコン層 2 を埋め込む。次にこのイオン注入時に誘起される欠陥を除去するため、高温アニールを行なう。この後、目的に合わせた活性層の厚さを確保するため、エピタキシャル成長を行なう。

【0006】図 28 (a) は、ウェーハ接着による製造方法を説明するための断面図である。すなわち 2 枚のシリコン単結晶ウェーハ 1 及び 3 を使用し、その一方 (または両方) のウェーハを熱酸化することにより、酸化シリコン層 2 を形成する。この後、2 枚のシリコン単結晶ウェーハ 1 及び 3 を、酸化シリコン層 2 を挟んで互いに接着する。そしてシリコン単結晶ウェーハ 3 の表面を、必要な厚さまで加工研磨する。

【0007】しかしながら、これら図 26 より図 28 (a) に示す方法には、それぞれ以下に示すような問題点がある。

【0008】図 26 に示す熔融再結晶法においては、この方法により形成される活性層が、結晶性に劣るため高集積デバイスに使用することができない。

【0009】また図 27 に示す SIMOX 法においては、イオン注入を行なうため、活性層がダメージ (damage 損傷) を受け、結晶性に劣る。またエピタキシャル成長を行なう際に、そのダメージがエピタキシャル層に影響し、高集積デバイスに使用するには不適當である。

【0010】また図 28 (a) に示すウェーハ接着による製法においては、上述した 2 つの製造方法のような欠点がなく、活性層の結晶性の点では、通常のミラーウェーハ (鏡面研磨されたウェーハ) と同等である。

【0011】ところが素子を形成する活性層側のシリコ

ン単結晶ウェーハ3では、トレンチ工程、LOCOS (Local Oxidation of Silicon) 工程等のプロセス誘起の欠陥を生じやすい工程において、基板によるゲッタリング能力が期待できず、転位、OSF (Oxidation-induced Stacking Fault) 等の結晶欠陥が生じることがある。

【0012】この問題を解決するために、図28(b)に示すように、酸化シリコン層2とデバイス活性層側のシリコン単結晶ウェーハ3との間に、ポリシリコン層(バッファ層またはゲッタリング層とも呼ぶ)5を設け、プロセス誘起の欠陥を生じやすい工程における金属不純物をゲッタリングすることにより、トレンチ工程、LOCOS工程等のプロセスにより誘起される転位、OSF等の結晶欠陥を抑制することが行なわれている。

【0013】しかしながら図28(b)に示すゲッタリング能力を持つポリシリコン層を設けた誘電体分離基板においては、また次のような問題がある。

【0014】(a) 活性層であるシリコン単結晶層(ウェーハ)3の厚さは、通常 $20\mu\text{m}$ 以下になるように加工研磨される。これに対し台となるシリコン単結晶層1の厚さは通常 $500\mu\text{m}$ 程度である。したがって熱膨張係数が単結晶シリコンよりも小さい酸化シリコン(SiO_2)層及びポリシリコン層が基板の上側に偏って存在することになるために、活性層となるシリコン単結晶層3側が凸になるような反りを生ずる。これにより露光工程において支障をきたし、所望の素子パターン形成が難しくなる。

【0015】(b) ポリシリコン層を有する基板は、熱処理を行なうことによって、ポリシリコン層の周辺に、ポリシリコン層を持たない基板よりも多くのBMD (Bulk Micro Defect) を生ずることが知られているが、図28(b)に示す構造では、活性層となるシリコン単結晶層3とポリシリコン層5とが直接接しているため、BMDがデバイスの活性層内に多く発生し、デバイスの特性、歩留まりに悪影響を及ぼすと考えられる。

【0016】(c) ポリシリコン層5がデバイス活性層3と直接接しているため、その界面状態により、デバイスの電気的特性に悪影響を及ぼすと考えられる。

【0017】(d) 上記の方法では、シリコン単結晶ウェーハ1の上に酸化シリコン層2及びポリシリコン層5を堆積し、そのポリシリコン層5の面とデバイス活性層側のシリコン単結晶ウェーハ3を接着することになっているが、ポリシリコン層5の表面は、シリコン単結晶ウェーハ3の鏡面加工面に比べて粗であって接着しにくく、接着における歩留まりの低下を招くことがある。

【0018】(B) 次にゲッタリング能力を有する半導体基板について、図30を参照して説明する。

【0019】図30(a)は、EG (Extrinsic Gettering) 法により、ゲッタリング能力を与えた従来の半導体基板の断面図である。すなわちシリコン単結晶基板1

の下面にゲッタリング能力を有するゲッタリング層12を形成したものである。ゲッタリング層12は、サンドブラスト、レーザービーム、イオン打ち込み、ラッピング (lapping)、グラインディング (grinding)、スクラッチ (scratch) 等の方法により、基板1の下面に形成されたダメージ層か、もしくはポリシリコン、アモルファスシリコン、窒化シリコン、リンガラス等の歪みまたは結晶欠陥を発生させる層から構成され、単結晶基板1内に発生した結晶欠陥などを抑制する。

【0020】図30(b)は、IG (Intrinsic Gettering) 法によるものである。すなわちシリコン単結晶基板1として、格子間酸素含有量(以下 $[\text{O}_i]$ とする)の高い($14\sim 17 \times 10^{17} \text{ atoms/cm}^3$ (OLD ASTM表示)程度)基板を用い、これを製造プロセスに入る前に、高温($1000^\circ\text{C}\sim 1200^\circ\text{C}$ 程度)及び低温($700^\circ\text{C}\sim 900^\circ\text{C}$ 程度)の熱処理を行なうことにより、基板の内部には、結晶欠陥を多く発生させ(高密度欠陥層13)、基板の表面付近は、結晶欠陥の少ない領域(Denuded Zone, DZ層14)を形成する。この高密度欠陥層13がゲッタリング能力を持ち、DZ層14を素子形成領域とする。

【0021】しかしながら図30(a)に示すEG法による基板には、次の問題点がある。(a)裏面に形成したゲッタリング層12は、デバイス製造工程中、膜形成、膜剥離の工程を繰り返すうちに消滅してしまい、ゲッタリング能力がなくなることがある。(b)デバイス製造工程中、膜形成、膜剥離、洗浄の工程で、ゲッタリング層12或いは、ダメージを受けたシリコン基板の裏面の一部が剥がれ、これがパーティクル (particle、微粒粉) となって、デバイス領域に付着する。(c)ゲッタリング層12が例えばポリシリコンなどの層から成る場合、ゲッタリング層12とシリコン基板1との熱膨張率の違いによりシリコン基板1に反りが生ずるなどの問題がある。これらは、いずれもデバイスの製造歩留まりの低下の原因となる。

【0022】また図30(b)に示すIG法による基板では、(a)DZ層14内に結晶欠陥が残ってしまい、これがデバイスの動作不良の原因となる。(b)使用基板の $[\text{O}_i]$ 及びその基板が作られる元のインゴットの熱履歴の違いにより、発生する結晶欠陥の密度が大きく異なるため、ゲッタリング能力に差が生ずる。これらは、デバイスの製造歩留まりの低下及び不安定の原因となる。

【0023】

【発明が解決しようとする課題】これまで述べたように、誘電体分離基板について、従来の熔融再結晶法(図26)により製造された基板或いはSIMOX法による基板(図27)は、いずれもデバイスを形成する活性層の結晶性が悪く、高集積化、微細化されたデバイスの基板としては不適當である。

【0024】一方、酸化シリコン層を挟んで接着したウェーハ（図28）の活性層の結晶性は通常のみラーウェーハと同等である。またトレンチ工程、LOCOS工程等のプロセスにより誘起される転位、OSF等の結晶欠陥を抑制するために、ゲッターリング能力を有するゲッターリング層を内部に設けた基板（図28（b））もある。

【0025】しかしながらこの方法による誘電体分離基板は、次のような問題がある。すなわち（a）誘電体分離基板は、熱膨張係数が互いに異なる層を積層して構成されているので、基板主面に反りを生ずる。これにより露光工程において支障をきたし、基板の大口径化に伴い大きな問題となっている。（b）ゲッターリング層と活性層とは直接接触するので、熱処理に際し活性層内に多くのBMDが発生する。（c）ゲッターリング層と活性層とが直接接しているためデバイスの電気的特性に悪影響を及ぼす。（d）基板を構成する2枚のウェーハは、ゲッターリング層を介して接着されるので、接着歩留まりが低下する。

【0026】次にゲッターリング能力を有する半導体基板について、従来のEG法によりゲッターリング能力を与えた基板（図30（a））では、（a）デバイス製造工程中に裏面に形成したゲッターリング層のゲッターリング能力が消滅してしまう、（b）ゲッターリング層が破損してパーティクルが発生する、（c）基板に反りが発生する等の問題がある。

【0027】従来のIG法による基板（図30（b））では、（a）DZ層に結晶欠陥が残る、（b）基板のゲッターリング能力がロットごとに差がある等の問題点がある。

【0028】本発明の目的は、第1にウェーハ接着による従来の誘電体分離基板の前記問題点を改善することであり、第2に従来のゲッターリング能力を有する半導体基板の前記問題点を改善し、いずれの場合においても、プロセスにより誘起される転位、OSF等の結晶欠陥を抑制できる安定したゲッターリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、基板の反りを防止し、これらにより基板及びデバイスの製造歩留まりの向上と安定が得られる誘電体分離半導体基板とその製造方法並びにゲッターリング能力を有する半導体基板とその製造方法を提供することである。

【0029】

【課題を解決するための手段】本発明の請求項1に係る半導体基板は、図1及び図2に例示するように、第1半導体単結晶層（ウェーハ）21と、この第1半導体単結晶層の第1主面21a上及び第1主面と反対側の第2主面21b上のそれぞれに形成されるゲッターリング能力を有する第1ゲッターリング層22a及び第2ゲッターリング層22bと、第1ゲッターリング層22aの外側主面上に形成される第1絶縁層23aと、第2ゲッターリング層22bの外側主面上に形成される第2絶縁層23b（図

1）或いは保護層25で覆われた第2絶縁層23b（図2）と、第1絶縁層23aの外側主面上に形成される第2半導体単結晶層（ウェーハ）24とを、具備することを特徴とするものである。

【0030】本発明の請求項2に係る発明は、図4、図5或いは図6、図7、図8に例示するように、第1半導体単結晶層21の第1主面上及び第2主面上にそれぞれ第1ゲッターリング層22a及び第2ゲッターリング層22bを形成する工程と、第1ゲッターリング層22aの外側主面上に第1絶縁層23aを形成する工程と、第2ゲッターリング層22bの外側主面上に第2絶縁層23bを形成する工程（図4（c））、或いは第2絶縁層23bを形成後さらに該層を保護層25で覆う工程（図7

（e））と、第1絶縁層23aの外側主面上に、ウェーハ接着技術により第2半導体単結晶層24を形成する工程とを、具備することを特徴とする請求項1記載の半導体基板の製造方法である。

【0031】前記請求項1及び請求項2に係る半導体基板は、本明細書においては、便宜上、誘電体分離半導体基板と呼ぶ。

【0032】請求項1及び請求項2に係るゲッターリング能力を有する第1及び第2ゲッターリング層の望ましい実施態様は、サンドブラストによるダメージ層、レーザービームによるダメージ層、イオン打ち込みによるダメージ層、スクラッチによるダメージ層、ラッピングやグライインディングによるダメージ層、ポリシリコン（多結晶シリコン）層、アモルファスシリコン（非晶質シリコン）層、窒化シリコン層、酸化シリコン層、リンガラス層、高濃度不純物ドーブシリコン層、結晶欠陥を高密度に含むシリコン層のうち、いずれか1つの層または複数層の積層から構成されることである。

【0033】またゲッターリング能力を有する高密度不純物ドーブシリコン層の望ましい実施態様は、リン（P）、ヒ素（As）、アンチモン（Sb）、ボロン（B）、酸素（O）、ゲルマニウム（Ge）、炭素（C）のうち、いずれか1種または複数種の元素からなる不純物を、合計して 1×10^{16} atoms/cm³以上含むシリコン層である。また上記結晶欠陥を高密度に含むシリコン層の望ましい実施態様は、積層欠陥、転位、析出、微小欠陥のうち、いずれか1種または複数種の欠陥を合計して 10^6 ケ/cm³以上含んでいるものである。

【0034】前記請求項1及び請求項2に係る第1及び第2絶縁層の望ましい実施態様は、酸化シリコン層、窒化シリコン層、及びアルミナ層のうち、いずれか1つの層または複数層の積層から構成されることである。

【0035】前記請求項1及び請求項2に係る保護層の望ましい実施態様は、窒化シリコン層、シリサイド層及びポリシリコン層のうち、いずれか1つの層または複数層の積層から構成されることである。また第1及び第2絶縁層が、窒化シリコン層で構成される場合には、保護

層を省略しても差支えない。

【0036】本発明の請求項3に係る発明は、図18及び図19に例示するように、第1半導体単結晶層（ウェーハ）31の第1主面31a上にゲッタリング能力を有するゲッタリング層32を形成する工程と、ゲッタリング層32の外側主面上にウェーハ接着技術により第2半導体単結晶層（ウェーハ）33を形成する工程と、第1半導体単結晶層31、ゲッタリング層32及び第2半導体単結晶層33からなる積層基板の板厚を所定の厚さにすると共に前記ゲッタリング層32が積層基板の厚さ方向の中心部に位置するように、第1半導体単結晶層31及び第2半導体単結晶層33のいずれか一方或いは両方を加工研磨する工程とを、有することを特徴とする半導体基板の製造方法である。

【0037】本発明の請求項4に係る発明は、図16に例示するように請求項3記載の製造方法により製造された半導体基板であって、第1半導体単結晶層31と、この第1半導体単結晶層31の第1主面31a上に形成されたゲッタリング能力を有するゲッタリング層32と、このゲッタリング層32の外側主面上に形成される第2半導体単結晶層33とを有し、この積層基板の板厚が所定の厚さであると共にゲッタリング層32が積層基板の厚さ方向の中心部に位置することを特徴とする半導体基板である。

【0038】前記請求項3及び4に係る半導体基板は、本発明の詳細な説明においては、便宜上、ゲッタリング能力を有する貼り合わせ基板と呼ぶこともある。

【0039】前記請求項1及び請求項2に係るゲッタリング能力を有する第1及び第2ゲッタリング層の望ましい実施態様並びに該実施態様中に記載されているゲッタリング能力を有する高濃度不純物ドーブシリコン層及び結晶欠陥を高密度に含むシリコン層に係る望ましい実施態様は、前記請求項3及び請求項4に係るゲッタリング能力を有するゲッタリング層の望ましい実施態様として適用できる。

【0040】また請求項3及び請求項4に係るゲッタリング層の厚さは、試行結果によれば、（0.5ないし10） μm であることが望ましい実施態様であり、またこのゲッタリング層の厚さ方向の中心からこの基板厚さの $\pm 10\%$ 以内に位置することが望ましい。

【0041】

【作用】前記請求項1ないし請求項2に係る誘電体分離半導体基板の構成によれば、素子が形成される活性層となる第2半導体単結晶層24の下面（図1）に第1絶縁層23aを挟んでゲッタリング能力を有する第1ゲッタリング層22aが設けられている。このゲッタリング層22aは、トレンチ工程、LOCOS工程等のプロセス誘起の欠陥を生じやすい工程において、活性層に存在する金属不純物等のゲッタリング能力が優れているため、トレンチ工程、LOCOS工程等のプロセスにより誘起

される転位、OSF等の結晶欠陥を抑制することができる。

【0042】またこのゲッタリング層22aは、第1絶縁層23aを挟んで設けられているから、デバイス活性層24内にBMDが多く発生するのを抑えることができ、またデバイスの電気的特性に悪影響を与えることがない。

【0043】基台となる第1半導体単結晶層21の厚さ（例えば500 μm 程度）は、第2半導体単結晶層（デバイス活性層）24の厚さ（例えば20 μm 程度）に比べ極めて厚く、また第1及び第2ゲッタリング層並びに第1絶縁層及び第2絶縁層はこの厚い第1半導体単結晶層21の上側と下側とにそれぞれ同等の厚さで設けられているから、基板の反りを抑制できる。

【0044】さらに第2半導体単結晶層24は、第1半導体単結晶層21に形成された第1絶縁層23a上に密着されるため、接着歩留まりの低下を招くおそれが少ない。また第2絶縁層23bが窒化シリコン以外の物質で構成されている場合、その表面を保護するため保護層25が使用される。

【0045】前記請求項3及び4に係るゲッタリング能力を有する貼り合わせ基板の構成によれば、ゲッタリング層32は、第1半導体単結晶層31と第2半導体単結晶層33に挟まれ保護されているので、従来技術のようにデバイス製造工程中にゲッタリング能力が消えてしまうことはない。またゲッタリング層がダメージを受け、パーティクルを発生することもない。

【0046】さらに前記ゲッタリング層32は、貼り合わせ基板の厚さ方向の中心付近（ $\pm 10\%$ ）に位置しているため、ゲッタリング層の種類によらず基板の反りの発生を抑制することができる。

【0047】またゲッタリング層32の厚さは、0.5 μm 以下では十分なゲッタリング能力が得られない場合があり、10 μm を越えるとデバイス活性層となる第1半導体単結晶層領域に有害な影響を及ぼすおそれがあることが確認されている。

【0048】前記誘電体分離半導体基板及びゲッタリング能力を有する貼り合わせ基板の構成により、それぞれの前記従来の問題点は改善され、いずれの場合においても、プロセス誘起の結晶欠陥を抑制できる安定したゲッタリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、反りを防止できる基板が得られる。

【0049】

【実施例】以下、図面を参照しながら本発明の実施例について説明する。

【0050】図1は、本発明の請求項1に係る誘電体分離半導体基板の構造の第1実施例を示す断面図である。第1の半導体単結晶層（シリコン単結晶ウェーハ）21の第1主面21a上及び第2主面21b上には、それぞ

れ第1ゲッタリング層22a及び第2ゲッタリング層22bとしてアモルファスシリコン層が形成されている。また、この両側の第1及び第2ゲッタリング層22a及び22bの上には、それぞれ第1絶縁層23a及び第2絶縁層23bとして窒化シリコン層が形成されている。さらに第1絶縁層23aの上にはデバイス活性層となる第2半導体単結晶層（所定の厚さに加工研磨された単結晶シリコンウェーハ）24が形成されている。

【0051】この場合の前記ゲッタリング層としては、ポリシリコン層、アモルファスシリコン層、窒化シリコン層、高濃度不純物ドーピングシリコン層、欠陥を高密度に含むシリコン層等、またはこれらの積層を使用することが可能である。

【0052】また第1及び第2絶縁層23a及び23bとしては、酸化シリコン層、窒化シリコン層、及びアルミナ層など、またはこれらの積層を使用することができる。

【0053】図2は、本発明の請求項1に係る誘電体分離半導体基板の構造の第2実施例を示す断面図である。第1半導体単結晶層（シリコン単結晶ウェーハ）21の両主面上には第1及び第2のゲッタリング層22a及び22bとして、それぞれポリシリコン層が形成されている。またこの両側の第1及び第2ゲッタリング層22a及び22bの上には、それぞれ第1絶縁層23a及び第2絶縁層23bとして酸化シリコン層が形成されている。さらに第1絶縁層23a上には、デバイス活性層となる第2半導体単結晶層（所定の厚さに研磨されたシリコン単結晶ウェーハ）24が形成され、第2絶縁層23b上には保護層25として窒化シリコン層が形成されている。

【0054】この場合、第1及び第2ゲッタリング層並びに第1及び第2絶縁層としては、前記第1実施例で説明したゲッタリング層及び絶縁層を使用することが可能である。

【0055】さらに保護層25としては、窒化シリコン層、シリサイド層及びポリシリコン層あるいはこれらの積層を使用することが可能である。

【0056】図3は、本発明の請求項1に係る誘電体分離半導体基板の構造の応用例である第3実施例を示す断面図である。第1半導体単結晶層（シリコン単結晶ウェーハ）21の両主面上には、ゲッタリング能力を有する第1絶縁層26a及び第2絶縁層26bとして、窒化シリコン層が形成されている。この場合、窒化シリコン層がゲッタリング層としての機能を有し、かつ保護層としての機能も有するため、ゲッタリング層及び保護層を省略することができる。そこで、第1絶縁層26aの上面に、デバイス活性層となる第2半導体単結晶層（所定の厚さに加工研磨されたシリコン単結晶ウェーハ）24が形成されている。

【0057】次に上記第1ないし第3実施例の誘電体分

離半導体基板の製造方法について図面を参照して説明する。

【0058】図4及び図5は、本発明の請求項2に係る製造方法で、前記第1実施例に係る誘電体分離半導体基板（図1）を、ウェーハ接着法により形成した場合について、その工程の一連の流れを示す各工程断面図である。

【0059】図4（a）において、まず結晶方位（111）の鏡面研磨されたP型のシリコン単結晶ウェーハ21（第1半導体単結晶層）を用意する。同図（b）において、このシリコン単結晶ウェーハ21の両主面上に、厚さ約1 μ mのアモルファスシリコン層22a（第1ゲッタリング層）及び22b（第2ゲッタリング層）を、公知のグロー放電分解法により形成する。同図（c）において、アモルファスシリコン層22a及び22bの上に、厚さ約1000 \AA の窒化シリコン層23a（第1絶縁層）及び23b（第2絶縁層）をプラズマCVD法により形成する。

【0060】次に図5（d）において、結晶方位（111）の鏡面研磨されたP型のシリコン単結晶ウェーハ24（第2半導体単結晶層）と、アモルファスシリコン層及び窒化シリコン層が形成されたP型シリコン単結晶ウェーハ21とを、鏡面同士が対向するようにして大気中で密着する。この後、ガス雰囲気（ $\text{N}_2/\text{O}_2 = 4/1$ （容積比））中、温度約1100 $^{\circ}\text{C}$ の条件で、約2時間の熱処理を行ない、ウェーハ21及びウェーハ24の相互の接着を強固なものとする。図5（e）において、接着されたシリコン単結晶ウェーハ24をグラインダーにて所望の厚さ（例えば約10 μm ）に加工研磨し、本発明の図1に示す第1実施例の誘電体分離半導体基板を完成する。

【0061】なお前記P型シリコン単結晶ウェーハの比抵抗、結晶方位、導電型、酸素濃度等は、あらかじめデバイス設計で決定されたものであれば特に制限はない。またアモルファスシリコン層22a、22b及び窒化シリコン層23a、23bの形成方法や層の厚さは、記した内容に限定されないことは勿論である。

【0062】図6ないし図8は、本発明の請求項2に係る製造方法で、前記第2実施例に係る誘電体分離半導体基板（図2）をウェーハ接着法により形成した場合について、その工程の一連の流れを示す各工程断面図である。以下第1実施例と異なる点を主にして説明する。

【0063】まず図6（a）において、結晶方位（100）の鏡面研磨されたN型シリコン単結晶ウェーハ（第1半導体単結晶層）21を用意する。この際、シリコン単結晶ウェーハ21上の自然酸化膜は残しておくものとする。次に図6（b）において、このシリコン単結晶ウェーハ21の両主面上に厚さ約1 μm のポリシリコン層22a（第1ゲッタリング層）及び22b（第2ゲッタリング層）をCVD法により形成する。次に図6（c）

において、両側のポリシリコン層上に、厚さ約1000オングストロームの酸化シリコン層23a（第1絶縁層）及び23b（第2絶縁層）を、熱酸化により形成する。

【0064】次に図7（d）において、結晶方位（100）の鏡面研磨されたN型シリコン単結晶ウェーハ24（第2半導体単結晶層）と、ポリシリコン層及び酸化シリコン層が形成されたシリコン単結晶ウェーハ21とを、鏡面同士が対向するようにして大気中で接着し、熱処理を行なう。次に図7（e）において、厚さ約100オングストロームの窒化シリコン層25（保護層）をプラズマCVD法により形成する。次に図8（f）において、接着されたデバイス活性層となるシリコン単結晶ウェーハ24を、所望の例えば約10 μ mの厚さに加工研磨し、本発明の図2に示す第2実施例の誘電体分離半導体基板を完成する。

【0065】なお前記図6において、シリコン単結晶ウェーハ21上に残した自然酸化膜は、次のポリシリコン層形成工程で、ウェーハ21上に堆積したシリコンがエピタキシャル成長するのを防止する作用をするもので、特に自然酸化膜でなくとも良く、例えば適当な厚さの熱酸化膜であっても良い。またポリシリコン層22a、22b、酸化シリコン層23a、23b及び窒化シリコン層25の形成方法、厚さは記した方法に限定されるものではない。

【0066】なお、保護層25の形成温度は活性層となるシリコン単結晶層24中におけるBMDの発生をなるべく避けるため、800℃前後の温度を避けて形成することが望ましい。

【0067】図9及び図10は、本発明の請求項1の応用例に係る前記第3実施例の誘電体分離半導体基板（図3）をウェーハ接着法により形成した場合について、その工程の一連の流れを示す各工程断面図である。この例は窒化シリコン層が、ゲッタリング層、絶縁層及び保護層としての機能を兼ね備えるため、前記図4及び図5に示す工程からアモルファスシリコン層22a、22b

（第1及び第2ゲッタリング層）を形成する工程を省略したものである。すなわち図9（a）において、まず結晶方位（111）の鏡面研磨されたP型シリコン単結晶ウェーハ21を用意する。同図（b）においてこの単結晶ウェーハ21の両主面上に、厚さ約1 μ mのゲッタリング能力を有する窒化シリコン層26a（第1絶縁層）及び26b（第2絶縁層）を、プラズマCVD法により形成する。次に図10（c）において、結晶方位（111）の鏡面研磨されたP型シリコン単結晶ウェーハ24と前記シリコン単結晶ウェーハ21とを、接着熱処理した後、図10（d）に示すようにシリコン単結晶ウェーハ24を加工研磨して所望の層厚とし、本発明の図3に示す第3実施例の誘電体分離半導体基板を完成する。

【0068】次に上記本発明の誘電体分離半導体基板と従来の接着による半導体基板とを比較した試行結果につ

いて、図11ないし図15を参照して説明する。

【0069】図11は、本発明の第2実施例の誘電体分離半導体基板（図2）と、従来の接着によるゲッタリング層を具備した半導体基板（図28（b））とにおける基板の反り（ μ m）を測定したものである。すなわち従来の基板では、50 μ m以上の反りが発生しているのに対し、本発明の基板では、10 μ m前後の反りに止まっていることがわかる。これにより、デバイス製造の露光工程での安定した高歩留まりを得ることが可能となった。

【0070】図12は、本発明の第2実施例の誘電体分離半導体基板（図2）と、従来の接着による半導体基板（図28（b）、ゲッタリング層有）とを用いて、酸素雰囲気中で800℃、3時間の熱処理と、1000℃、16時間の熱処理とを続けて行ない、活性層側のシリコン単結晶層24（本発明）及び3（従来品）内のBMD密度（ $\text{ケ}/\text{cm}^2$ ）を、ライトエッチング（Wright Etching）後、光学顕微鏡により測定したものである。なお基板の作製に用いたウェーハの素性（インゴット、酸素濃度【O_i】等）は全く同一である。

【0071】同図より、従来の基板では10⁴（ $\text{ケ}/\text{cm}^2$ ）前後のBMDが発生していたのに対し、本発明では、すべて検出限界の1 $\times 10^3$ （ $\text{ケ}/\text{cm}^2$ ）以下となっていることがわかる。これにより、デバイス動作不良の少ない安定した高歩留まりを得ることが可能となった。

【0072】図13は、本発明の第2実施例の誘電体分離半導体基板（図2）並びに従来の接着による基板でゲッタリング層を有するもの（図28（b））及びゲッタリング層を設けないもの（図28（a））の3種類の基板を使用し、同一プロセスにより作成したCMOSデバイス（発明品、従来品I及び従来品IIと略記）について、それぞれのトレンチ部における欠陥密度（ $\text{ケ}/\text{cm}^2$ ）を調べたものである。

【0073】同図より明らかなように従来の基板（図28（a）、ゲッタリング層無）を用いて作製したデバイス（従来品II）は、トレンチ部で多数の欠陥が発生しているのに対して、本発明の基板を用いて作成したデバイス（発明品）及び従来の基板（図28（b）、ゲッタリング層有）を用いて作成したデバイス（従来品I）では、欠陥発生が抑制されていることがわかる。

【0074】さらに本発明品と従来品Iにおけるデバイスのトレンチ部の欠陥密度を比較すると、本発明の基板を用いて作成したデバイスの方が最もトレンチ部での欠陥発生が抑制されていることがわかる。これにより安定した高歩留まりのデバイスを得ることが可能になった。

【0075】図14は本発明の第2実施例の誘電体分離半導体基板（図2）と従来の接着による半導体基板（図28（b）ゲッタリング層有）とを用い、それぞれ同一のプロセスにより作成したCMOSデバイスについての最終歩留まり（相対比）を比較したものである。歩留ま

りの悪い方の平均歩留まりを 1としている。なお図中の●印は平均値、●印を通る縦線分は、バラツキを示す。

【0076】同図から、従来の基板を用いて作成したデバイス（従来品）に対し、本発明の基板を用いて作成したデバイス（発明品）の方が歩留まりが良いことがわかる。なお、この最終歩留まりは、デバイス（CMOS）の電気的特性の良否を含んでいるので、デバイス活性層内のBMDの多少、或いは活性層下側のポリシリコン層のデバイスに対する悪影響の有無も含まれた結果となっている。

【0077】図15は、本発明の第2実施例の誘電体分離半導体基板（図2）と、従来の半導体基板（図28（b）、ゲッタリング層有）との製造工程におけるウェーハ接着歩留まり（相対比）を比較したもので、歩留まりの悪い方の平均歩留まりを 1としている。

【0078】同図より明らかなように、酸化シリコン層23aを介してシリコン単結晶ウェーハ24を接着した本発明の基板の方が、ポリシリコン層を介して接着した従来の基板の製造方法より、歩留まりの高いことがわかる。これにより本発明の基板の方が従来の基板よりも製造コストを低くできる可能性のあることを示している。

【0079】これまで詳述したように、実施例1及び実施例2に示す誘電体分離半導体基板においては、活性層となるシリコン単結晶層24の下に第1絶縁層23aを挟んで、ゲッタリング能力を有する第1ゲッタリング層22aが設けられている。この第1ゲッタリング層22aは、トレンチ工程、LOCOS工程等のプロセス誘起の欠陥を生じやすい工程において、金属不純物等のゲッタリング能力が優れているため、プロセスにより誘起される転位、OSF等の結晶欠陥を抑制することができる。またこのゲッタリング層22aは、第1絶縁層23aを挟んで設けられているので、デバイス活性層24内にBMDが多く発生するのを抑えることができ、またデバイスの電気的特性に悪影響を与えることがない。また絶縁層及びゲッタリング層は、基台となる厚い第1シリコン単結晶層21の上側と下側とに同等の厚さで設けられているので、反りを抑制できる。さらに第2シリコン単結晶層24は、第1シリコン単結晶層21上に形成された第1絶縁層と接着されるので、接着歩留まりの低下を招くおそれが少ない。

【0080】図3に示す第3実施例の誘電体分離半導体基板では、第1及び第2窒化シリコン層26a及び26bが、第1実施例及び第2実施例における第1ゲッタリング層22a及び第2ゲッタリング層22bの役割を兼ねるので、上記と同等の効果が得られる。

【0081】以上説明したように、請求項1ないし請求項2に係る誘電体分離半導体基板によれば前記従来技術の問題点は改善される。

【0082】図16は、本発明の請求項4に係るゲッタリング能力を有する貼り合わせ基板の構造の第1実施例

を示す断面図である。

【0083】この貼り合わせ基板は、後述の請求項3に係る製造方法により製造された基板であって、第1シリコン単結晶層（第1半導体単結晶層）31と、この層の第1主面31a上に形成されたゲッタリング層32の外側主面上に形成される第2シリコン単結晶層（第2半導体単結晶層）33とから成り、第1及び第2シリコン単結晶層31及び33は、それぞれ約 $310\mu\text{m}$ の等しい厚さに加工研磨され、ゲッタリング層32は、この貼り合わせ基板の中心部に位置する。

【0084】この場合のゲッタリング層32としては、サンドブラスト、レーザービーム、イオン打ち込み、スクラッチ等によるダメージ層、またはポリシリコン層、アモルファスシリコン層、窒化シリコン層、酸化シリコン層、高濃度不純物ドーパントシリコン層及びリンガラス層のうちのいずれか1層、またはこれらの積層を使用することが可能である。

【0085】図17は、本発明の請求項4に係るゲッタリング能力を有する貼り合わせ基板の第2実施例であって、前記第1実施例（図16）の一応用例である。第1シリコン単結晶層（第1半導体単結晶層）31の下面には、第1のゲッタリング層32として酸化シリコン層が形成されている。またこの第1ゲッタリング層32の外側主面（下面）には、第2のゲッタリング層34として、ポリシリコン層が形成され、その外側主面（下面）に第2シリコン単結晶層33が形成されている。

【0086】この第2実施例におけるように、ゲッタリング層としては、種類の異なる層の積層が可能である。またさらに3層以上の積層も可能である。

【0087】図18及び図19は、本発明の請求項3に係るゲッタリング能力を有する貼り合わせ基板の製造方法の実施例のうち、ゲッタリング層32が、サンドブラスト、レーザービーム、イオン打ち込み、スクラッチのいずれかによるダメージ層、またはこれらの積層の場合についての工程の一連の流れを示す断面図である。

【0088】図18（a）において、まず結晶方位（100）の片面（第1主面31a）が鏡面研磨されたP型の第1シリコン単結晶ウェーハ31を用意する。図18（b）において、このウェーハ31の鏡面研磨された第1主面31aにサンドブラスト法によりダメージ層（ゲッタリング層）32を形成する。次に結晶方位（100）の片面が鏡面研磨されたP型の第2シリコン単結晶ウェーハ33を用意する（鏡面を第1主面33aとする）。次に図19（c）において、第1シリコン単結晶ウェーハ31と、第2シリコン単結晶ウェーハ33の鏡面研磨面33aとを、ゲッタリング層32を間に挟むようにして大気中で密着する。この後、ガス雰囲気（ $\text{N}_2/\text{O}_2 = 4/1$ （容積比））中、温度約 1100°C の条件で約2時間の熱処理を行ない、第1シリコン単結晶ウェーハ31と第2シリコン単結晶ウェーハ33との相互の接

着を強固なものにする。

【0089】次に図19(d)において、接着された第1及び第2のシリコン単結晶ウェーハ31及び33をグラインダーにて所望の厚さ(例えばそれぞれ約 $310\mu\text{m}$)に削り、さらにウェーハ31の表面(第2主面31b)を鏡面研磨し、請求項4記載の貼り合わせ半導体基板が得られる。

【0090】なお使用したウェーハ31及び33の導電型、結晶方位は記した内容に限定されるものではない。またウェーハの口径、比抵抗、結晶方位、導電型、酸素濃度 $[O_i]$ 等については、デバイス設計で決定されたものであれば、特に限定されない。

【0091】また図19(d)に示す加工研磨は、ウェーハ31及び33の厚さが互いに等しくデバイス設計で定められた所定値に、またゲッタリング層32が貼り合わせ基板の厚さ方向の中心部に位置するように、また基板の表面状態により、それぞれ調整を必要とする場合に行なうもので、多くの場合行なわれるが、常に行なうというものではない。

【0092】図20及び図21は、本発明の請求項3に係るゲッタリング能力を有する貼り合わせ基板の製造方法の実施例のうち、ゲッタリング層32が、酸化シリコン層、窒化シリコン層、高濃度不純物ドーパントシリコン層のうちいずれか1層またはこれらの積層の場合についての工程の一連の流れを示す断面図である。図18及び図19に示す製造方法と異なる点について、主として説明する。

【0093】図20(a)に示す第1シリコン単結晶ウェーハ31を用意し同図(b)に示すように両面にゲッタリング層32として例えば酸化シリコン層を形成する。図18の実施例では、ゲッタリング層32の形成がウェーハ31の片面に行なわれるのに対し、本実施例では両面に行なわれる点異なる。

【0094】このため、図21(c)に示す両ウェーハを接着熱処理した後、図21(d)に示す加工研磨工程において、少なくともシリコン単結晶ウェーハ31の一方の主面の上面に形成されたゲッタリング層32を除去するため、加工研磨もしくはエッチングが必須である。その他の部分は前記図18及び19における説明と同様である。

【0095】図22及び図23は、本発明の請求項4に係るゲッタリング能力を有する貼り合わせ基板の第2実施例(図17)を、ウェーハ接着法を用いて作成する工程の一連の流れを示す工程断面図である。図18及び図19に示す製造方法と異なる点について、主として説明する。

【0096】まず図22(a)において、第1シリコン単結晶ウェーハ31を用意し、図22(b)において、この両面上に第1のゲッタリング層32として約1000オングストロームの酸化シリコン層32を熱酸化処理によ

り形成する。次に図22(c)において、この酸化シリコン層32のどちらか一方の面に、第2のゲッタリング層34として、約 $1\mu\text{m}$ の厚さのポリシリコン層をCVD法により形成する。

【0097】次に図23(d)において、第1シリコン単結晶ウェーハ31と、第2シリコン単結晶ウェーハ33とを、第1及び第2のゲッタリング層32及び34を間に挟むようにして大気中で接着した後、熱処理を行なう。次に図23(e)において、接着されたウェーハ31及び33を、グラインダーにて所望の厚さ(例えば、それぞれ約 $310\mu\text{m}$)に削り、さらにウェーハ31の表面を鏡面研磨し、本発明のゲッタリング能力を有する貼り合わせ基板の第2実施例(図17)を完成する。この場合、第1ゲッタリング層32の形成が、第1シリコン単結晶層31の両面に行なわれるため、接着熱処理後、少なくとも第1シリコン単結晶層31の一方の主面の加工研磨もしくはエッチングが必須となる。

【0098】本実施例では、第1のゲッタリング層32が酸化シリコン層で、かつ第2のゲッタリング層がポリシリコン層の場合について示したが、他のゲッタリング層を組み合わせることも可能である。また、ウェーハの口径、比抵抗、面の結晶方位、導電型、酸素濃度

$[O_i]$ 等は、デバイス設計に抵触しない限り、制限はない。また本実施例で形成した酸化シリコン層(第1ゲッタリング層)32及びポリシリコン層(第2ゲッタリング層)34の厚さは、記した厚さに限定されるものではなく、第1及び第2のゲッタリング層の厚さを変えることにより、ゲッタリング能力の強さを変えることができる。

【0099】図24は、ゲッタリング能力を有する貼り合わせ基板について、本発明品と従来品との反り(μm)を測定し、比較したものである。本発明品としては、前記第2実施例(図17に示すもの)の酸化シリコン層32とポリシリコン層34からなる積層ゲッタリング層を有する貼り合わせ基板とする。また従来品としては、図30(a)に示す構成の基板で、シリコン単結晶基板1の裏面に、ゲッタリング層12として約 $1\mu\text{m}$ の厚さのポリシリコン層を形成した基板とする。

【0100】図24からわかるように、従来品では、大きいのは $50\mu\text{m}$ 以上の反りが発生しているのに対し、本発明品では、 $10\mu\text{m}$ 前後の反りにとどまっていることがわかる。これによりデバイス製造中の露光工程での安定した高歩留まりを得ることが可能となった。

【0101】図25は、図24の試行に係る発明品と従来品との基板を用いて、それぞれ同一プロセスにより作成したCMOSデバイスについての最終歩留まり(相対比)を比較したものである。歩留まりの悪い方(従来品)の平均歩留まりを1としている。

【0102】図25より、従来品に対し、本発明品の基板を用いて作成したデバイスの方が歩留まりが良く、そ

のバラツキの幅も狭く安定していることがわかる。これは、図 24 で示した反りの違いによるデバイス製造の露光工程での歩留まりによる影響の差のほか、パーティクル発生量の差、及びゲッタリング能力の持続性のデバイス製造工程への影響の差も含まれていると考えられる。

【0103】以上説明したように、請求項 3 及び 4 に係るゲッタリング能力を有する貼り合わせ基板によれば、ゲッタリング層が第 1 及び第 2 の半導体単結晶層に挟まれ、保護されているため、従来例のように、デバイス製造工程中にゲッタリング能力が消えてしまうことがなく、またゲッタリング層によるパーティクルの発生もない。さらにこのゲッタリング層は基板の厚さ方向の中心付近に位置しているため、ゲッタリング層の種類によらず反りの発生を抑えることができる。

【0104】以上の実施例からもわかるように、本発明の貼り合わせ基板によれば、従来技術の問題点は改善され、デバイスの製造歩留まりの向上及び安定を図ることができた。

【0105】

【発明の効果】これまで詳述したように、本発明の請求項 1 及び 2 に係る発明により、ウェーハ接着による従来の誘電体分離半導体基板の前記問題点を改善することができ、また本発明の請求項 3 及び 4 に係る発明により、従来のゲッタリング能力を有する半導体基板の前記問題点を改善することができ、いずれの場合においても、プロセスにより誘起される転位、OSF 等の結晶欠陥を抑制できる安定したゲッタリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、基板の反りを防止し、これらにより基板及びデバイスの製造歩留まりの向上と安定が得られる誘電体分離半導体基板とその製造方法、並びにゲッタリング能力を有する貼り合わせ半導体基板とその製造方法を提供することができた。

【図面の簡単な説明】

【図 1】本発明の請求項 1 に係る誘電体分離半導体基板の構造の第 1 実施例を示す断面図である。

【図 2】本発明の請求項 1 に係る誘電体分離半導体基板の構造の第 2 実施例を示す断面図である。

【図 3】本発明の請求項 1 に係る誘電体分離半導体基板の構造の第 3 実施例を示す断面図である。

【図 4】同図 (a)、(b) 及び (c) は、本発明の請求項 2 に係る製造方法の第 1 実施例で、その一連の流れを示す製造工程の断面図である。

【図 5】同図 (d) 及び (e) は、図 4 (c) に示す工程に続く製造工程の断面図である。

【図 6】同図 (a)、(b) 及び (c) は、本発明の請求項 2 に係る製造方法の第 2 実施例で、その一連の流れを示す製造工程の断面図である。

【図 7】同図 (d) 及び (e) は、図 6 (c) に示す工程に続く製造工程の断面図である。

【図 8】同図 (f) は、図 7 (e) に示す工程に続く製

造工程の断面図である。

【図 9】同図 (a) 及び (b) は、本発明の請求項 1 に係る前記第 3 実施例の誘電体分離半導体基板の製造方法の一連の流れを示す製造工程の断面図である。

【図 10】同図 (c) 及び (d) は、図 9 (b) に示す工程に続く製造工程の断面図である。

【図 11】本発明の第 2 実施例の誘電体分離半導体基板 (図 2、発明品と略記) と従来の半導体基板 (図 28 (b)、従来品と略記) における反りの測定結果を示す図である。

【図 12】発明品と従来品とにおける BMD 密度の測定結果を示す図である。

【図 13】発明品、従来品、及び他の従来品 (図 28 (a)) のそれぞれの基板を用いた CMOS デバイスにおけるトレンチ部の欠陥密度の測定結果を示す図である。

【図 14】発明品及び従来品のそれぞれの基板を用いた CMOS デバイスにおけるデバイス歩留まりを示す図である。

【図 15】発明品及び従来品の製造工程におけるウェーハ接着歩留まりを示す図である。

【図 16】本発明の請求項 4 に係る貼り合わせ基板の構造の第 1 実施例を示す断面図である。

【図 17】本発明の請求項 4 に係る貼り合わせ基板の構造の第 2 実施例を示す断面図である。

【図 18】同図 (a) 及び (b) は、本発明の請求項 3 に係り、かつ図 16 に示す貼り合わせ基板の製造方法の実施例で、その一連の流れを示す製造工程の断面図である。

【図 19】同図 (c) 及び (d) は、図 18 (b) に示す工程に続く製造工程の断面図である。

【図 20】同図 (a) 及び (b) は、本発明の請求項 3 に係り、かつ図 16 に示す貼り合わせ基板の製造方法のその他の実施例で、その一連の流れを示す製造工程の断面図である。

【図 21】同図 (c) 及び (d) は、図 20 (b) に示す工程に続く製造工程の断面図である。

【図 22】同図 (a)、(b) 及び (c) は、本発明の請求項 3 に係り、かつ図 17 に示す貼り合わせ基板の製造方法の実施例で、その一連の流れを示す製造工程の断面図である。

【図 23】同図 (d) 及び (e) は、図 22 (c) に続く製造工程を示す断面図である。

【図 24】図 17 に示すゲッタリング能力を有する貼り合わせ基板の第 2 実施例 (発明品) と、図 30 (a) に示す従来のゲッタリング能力を有する基板 (従来品) とにおける反りの測定結果を示す図である。

【図 25】図 24 に係る発明品及び従来品のそれぞれを用いた CMOS デバイスにおけるデバイス歩留まりを示す図である。

【図26】従来の熔融再結晶法による誘電体分離半導体基板の製造方法を説明するための断面図である。

【図27】従来のSIMOX法による誘電体分離半導体基板の製造方法を説明するための断面図である。

【図28】従来のウェーハ接着による誘電体分離半導体基板の製造方法を説明するための断面図で、同図(a)は絶縁層を挟んで接着したもの、同図(b)は絶縁層とゲッタリング層とを挟んで接着したものである。

【図29】誘電体分離構造を持つ半導体装置の構成の一例を示す断面図である。

【図30】ゲッタリング能力を有する半導体基板の従来例を示す断面図であって、同図(a)はEG法により、同図(b)はIG法により、それぞれゲッタリング能力を与えたものである。

【符号の説明】

21 第1半導体単結晶層（第1シリコン単結晶層）

21a

第1主面

21b

第2主面

22a

第1ゲッタリング層

22b

第2ゲッタリング層

23a

第1絶縁層

23b

第2絶縁層

24

第2半導体単結晶層（第2シリコン単結晶層）

25

保護層

26a

ゲッタリング能力を有する第1絶縁層

26b

ゲッタリング能力を有する第2絶縁層

31

第1半導体単結晶層（第1シリコン単結晶層）

31a

第1主面

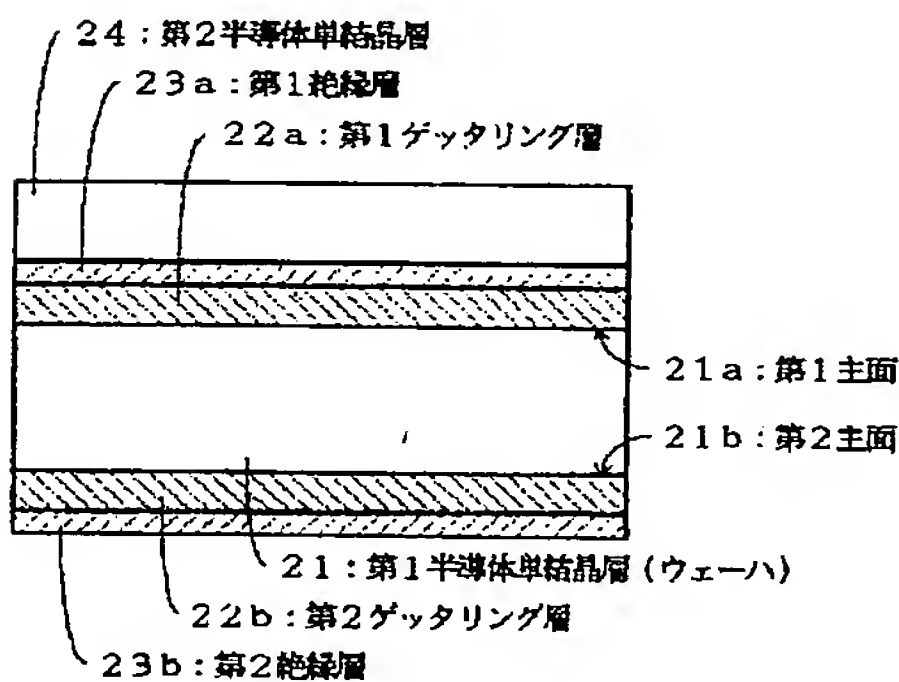
32, 34

ゲッタリング層

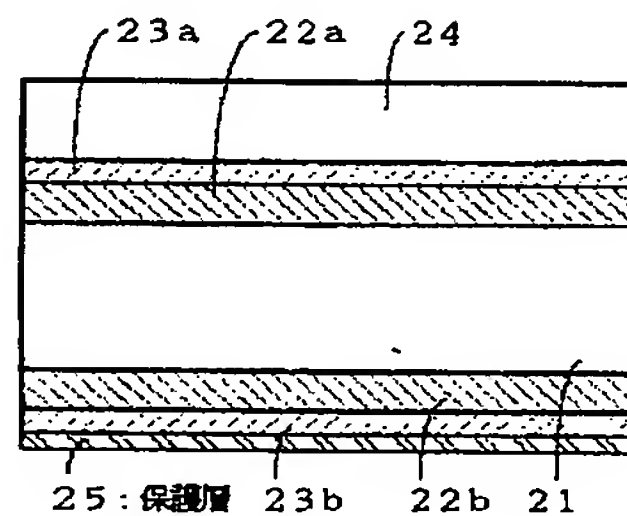
33

第2半導体単結晶層（第2シリコン単結晶層）

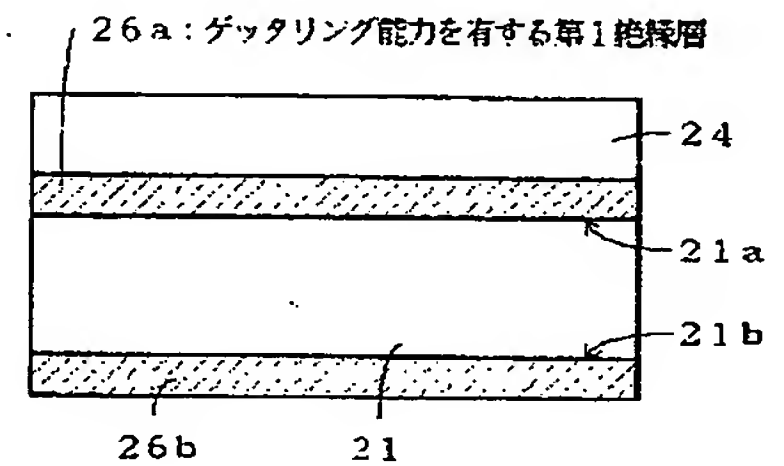
【図1】



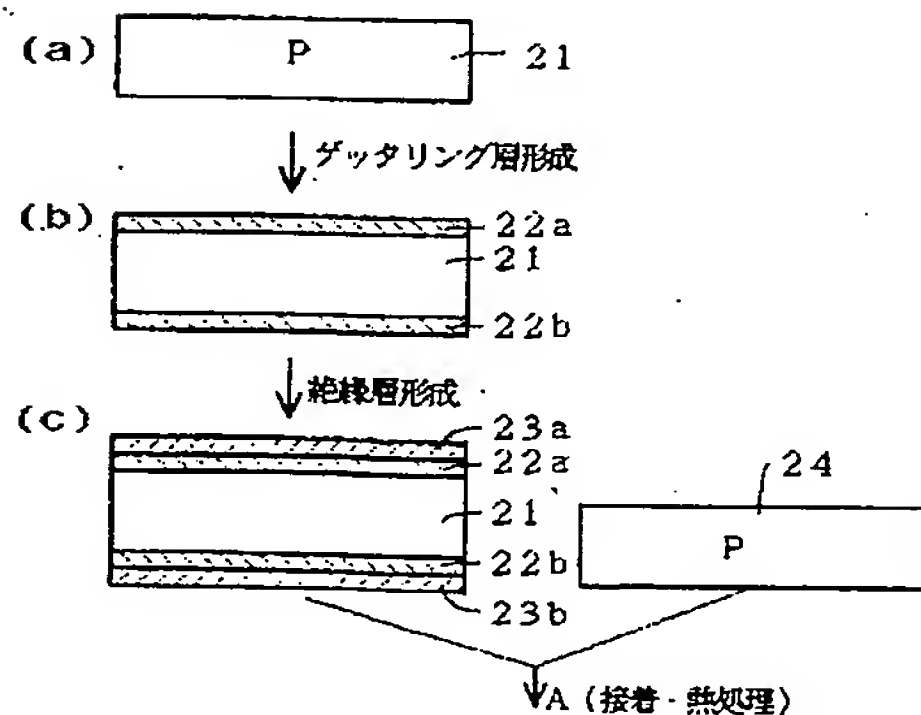
【図2】



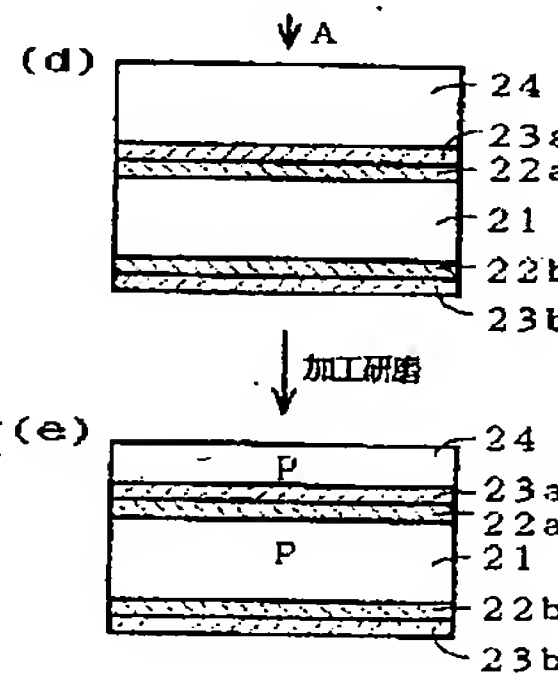
【図3】



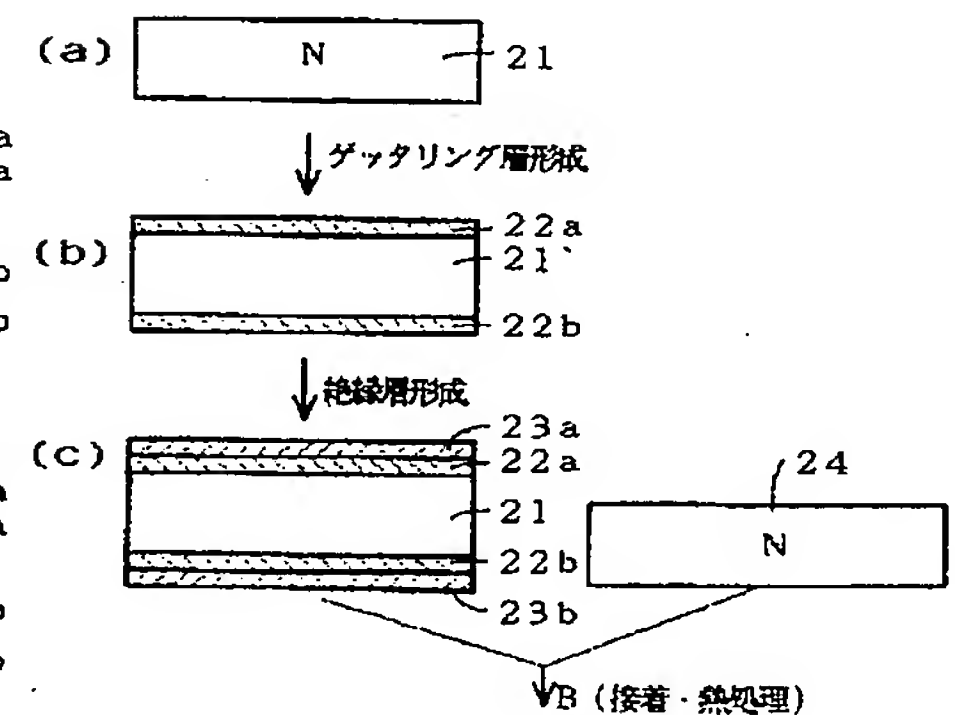
【図4】



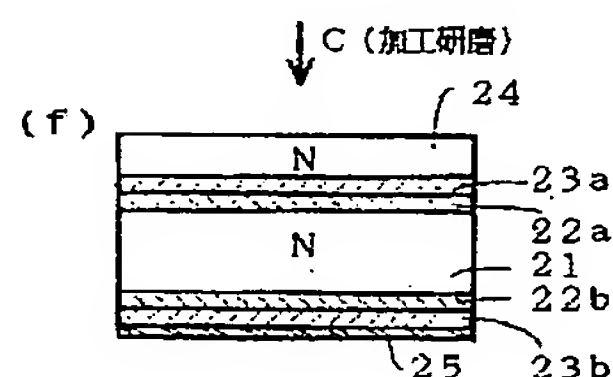
【図5】



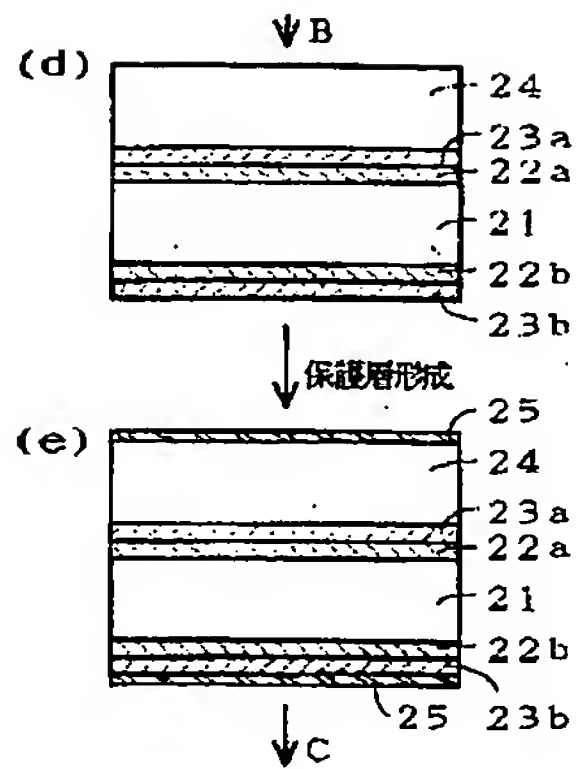
【図6】



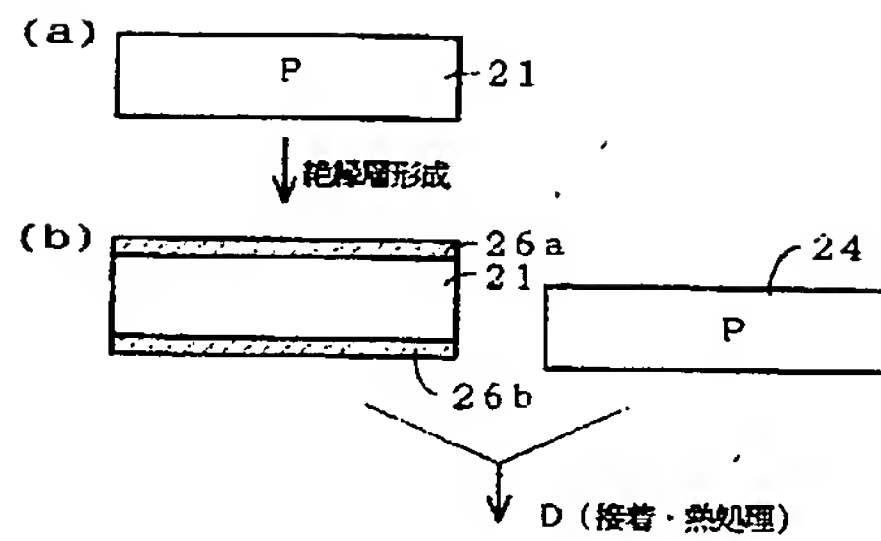
【図8】



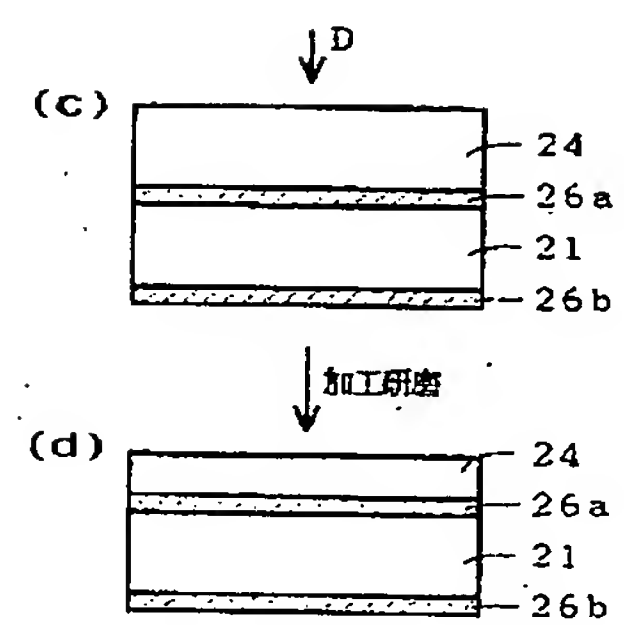
【図7】



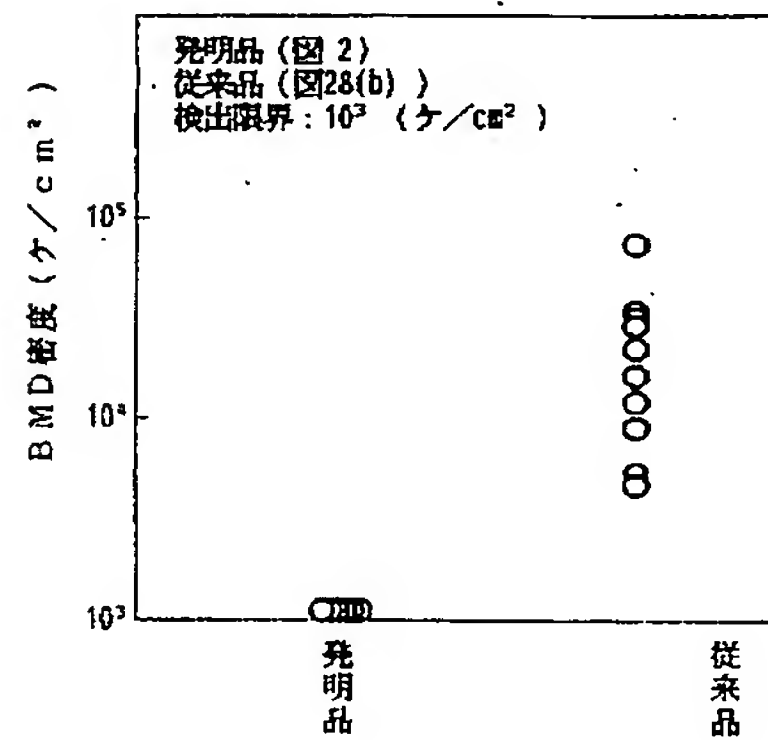
【図9】



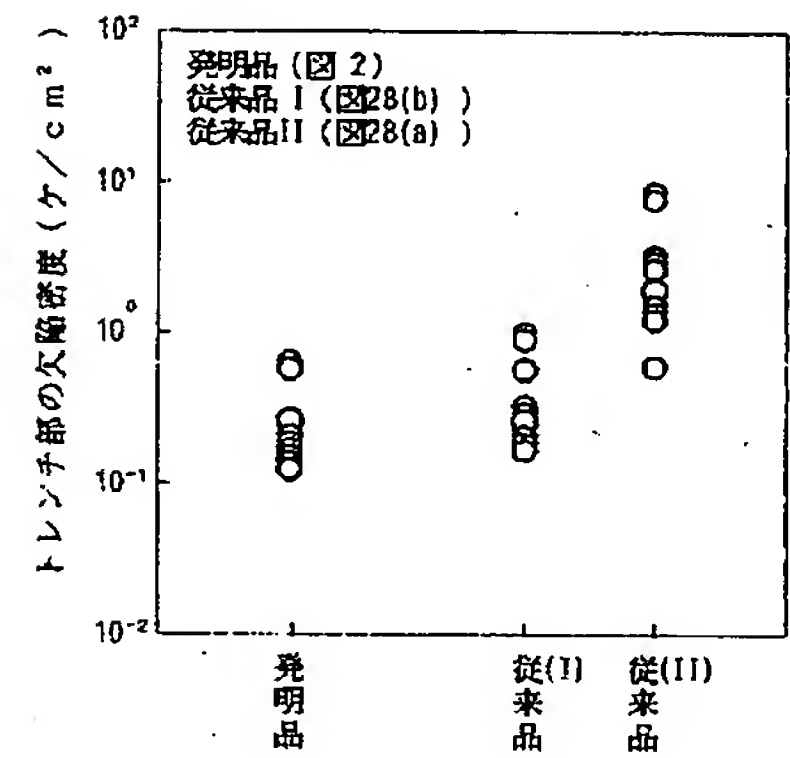
【図10】



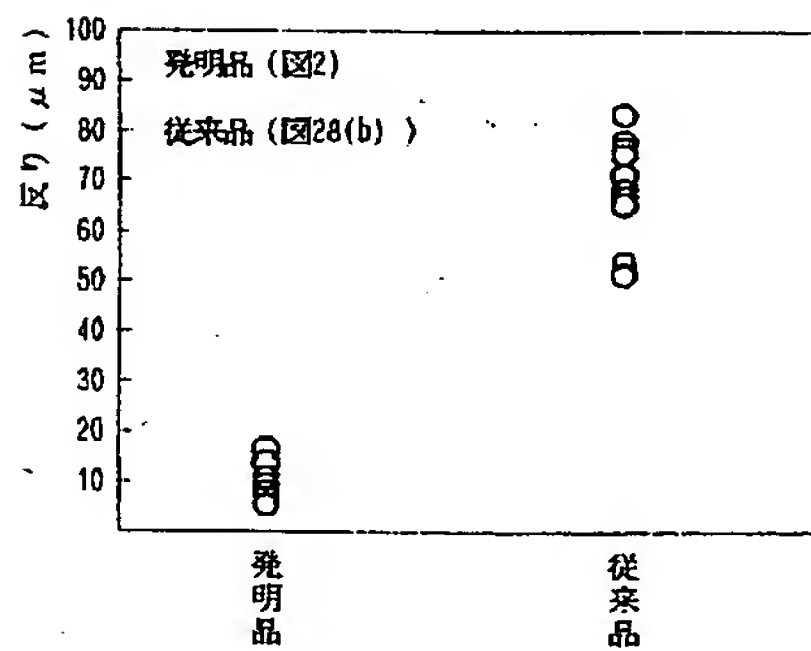
【図12】



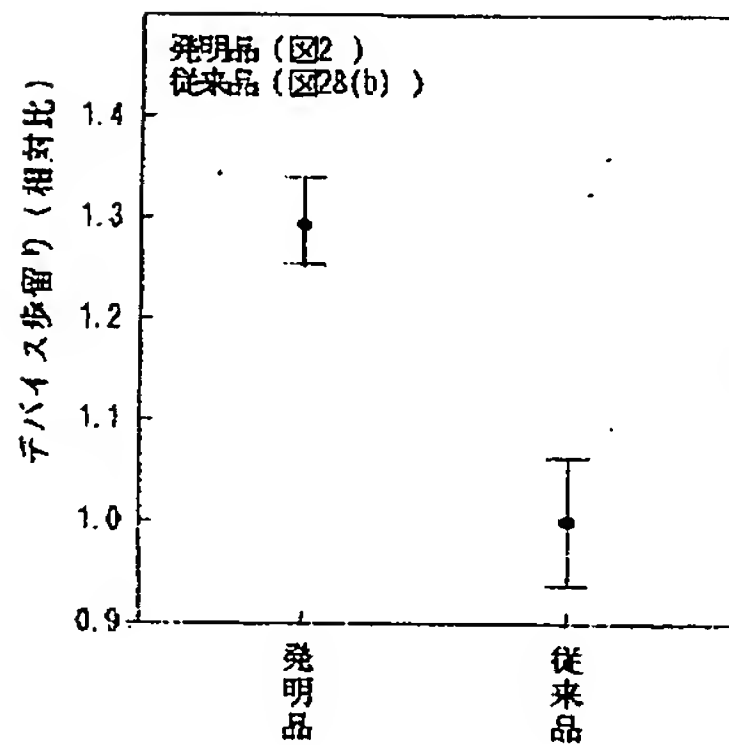
【図13】



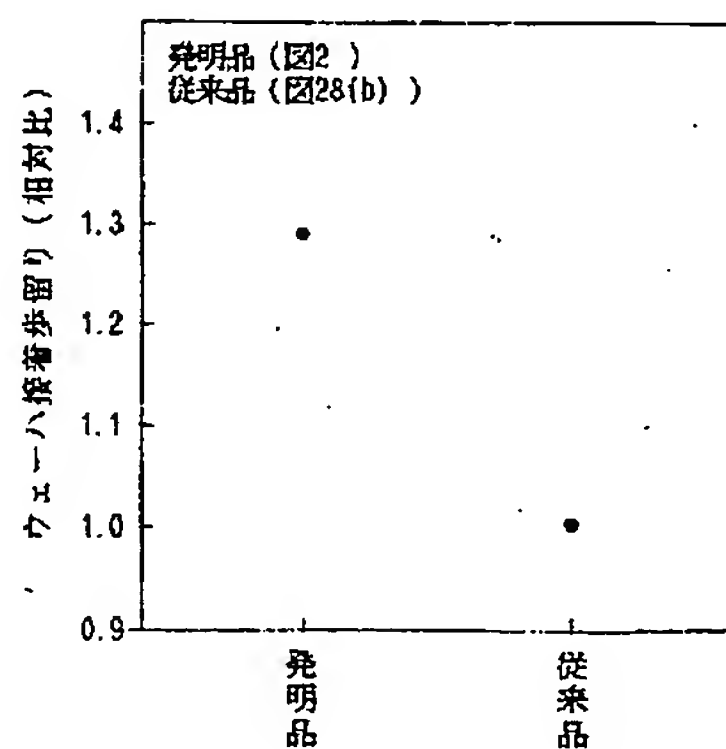
【図11】



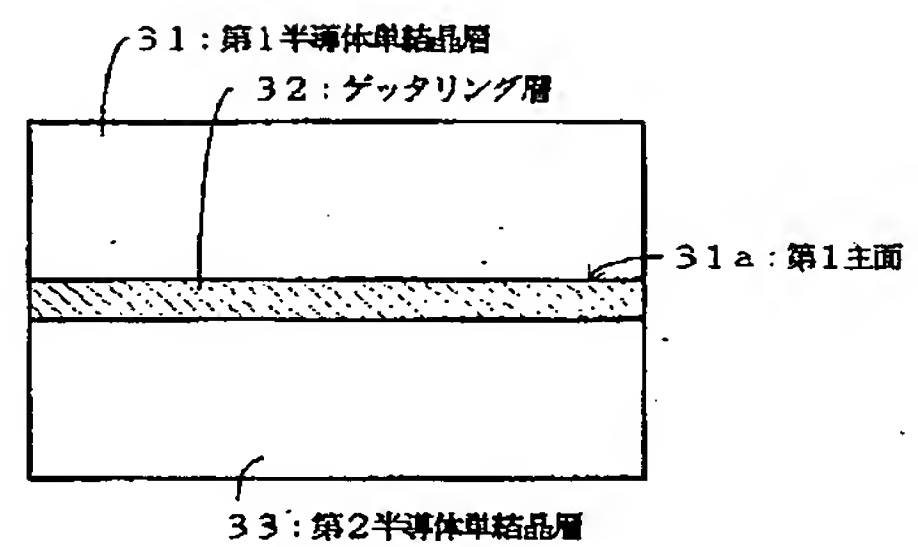
【図14】



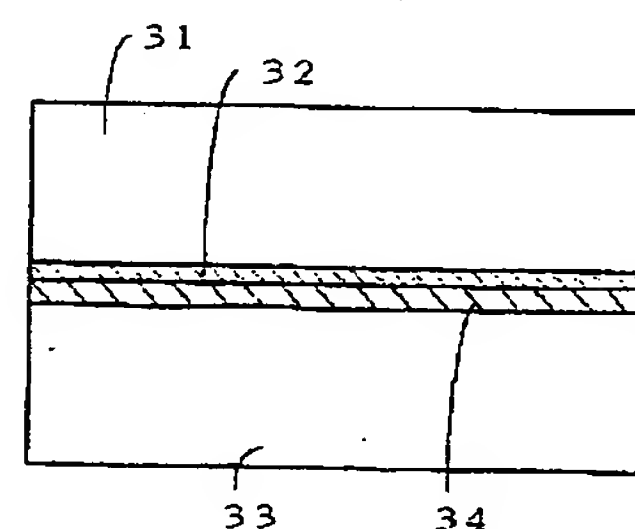
【図15】



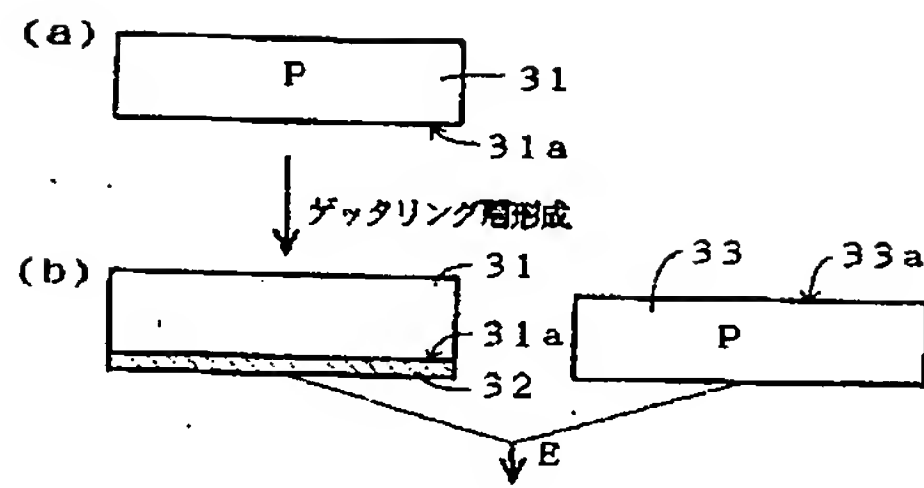
【図16】



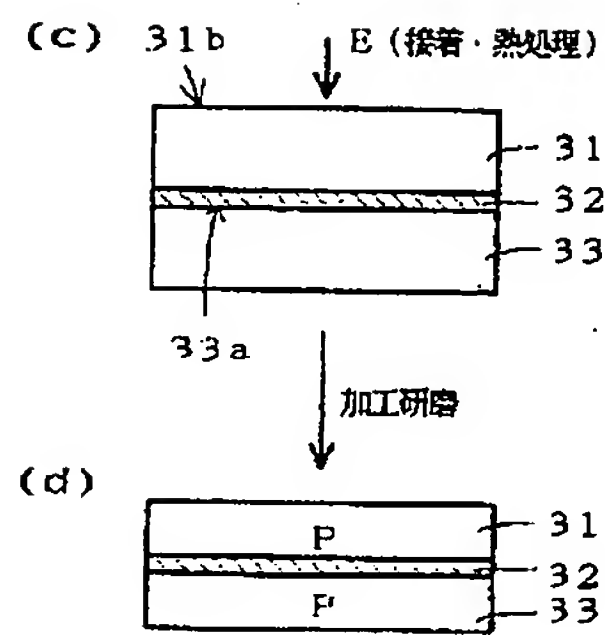
【図17】



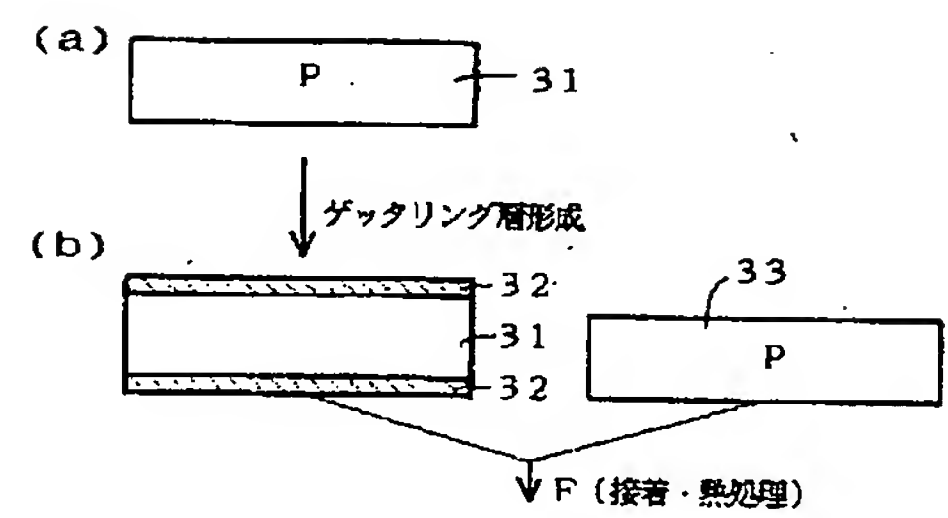
【図18】



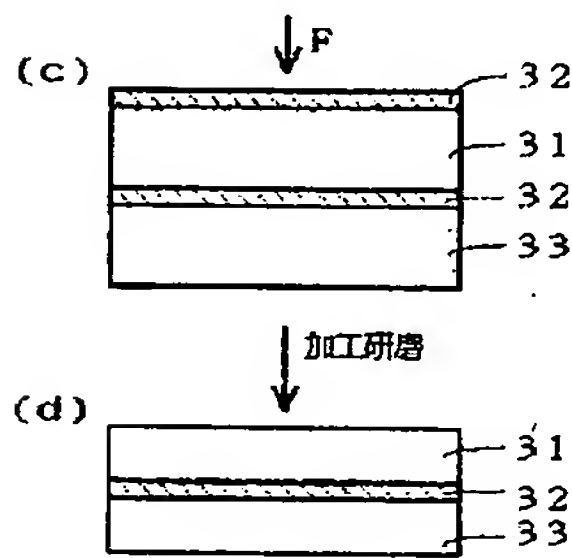
【図19】



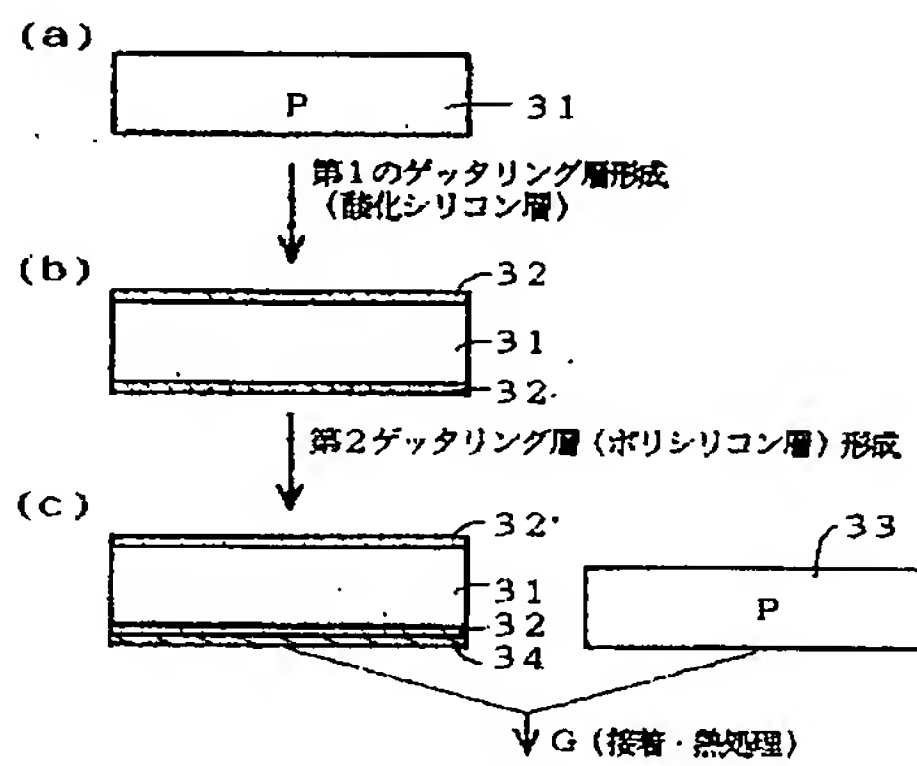
【図20】



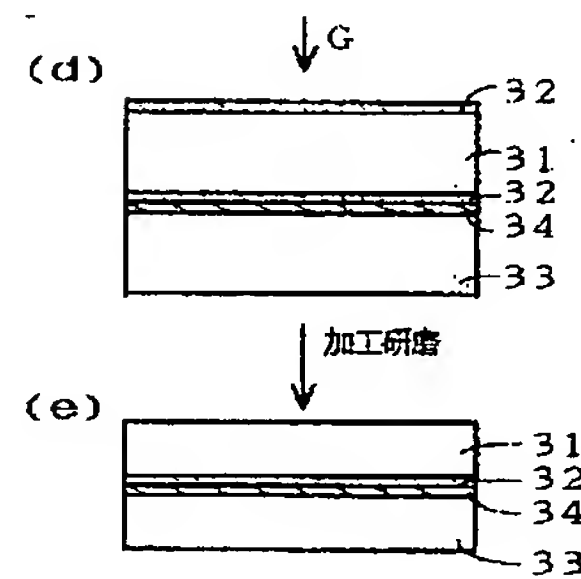
【図21】



【図22】

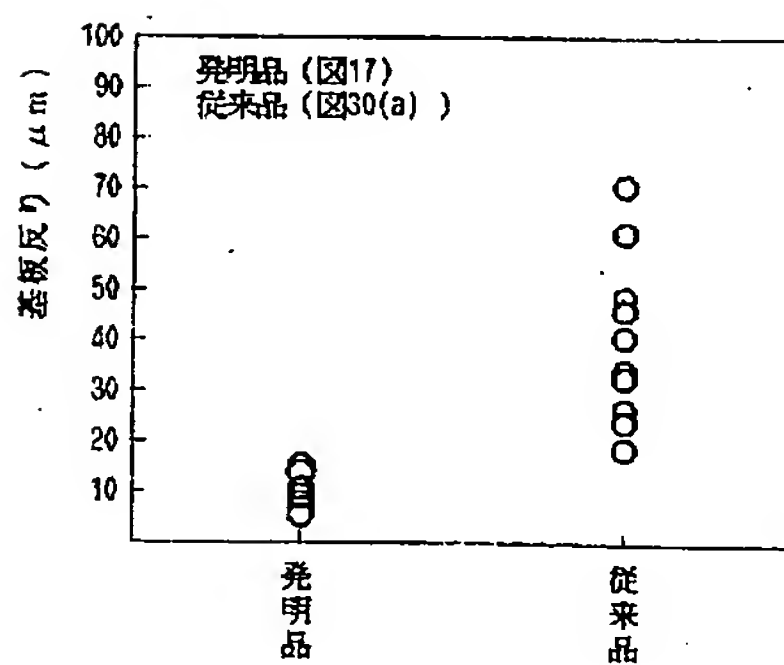


【図23】

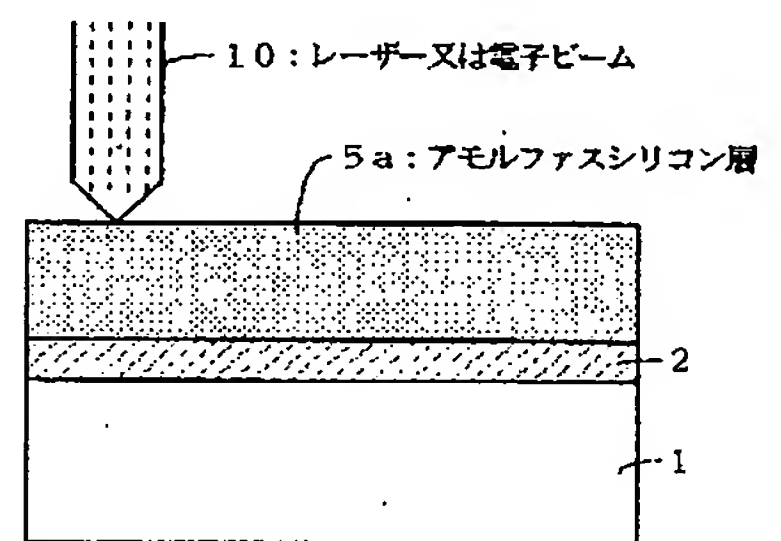
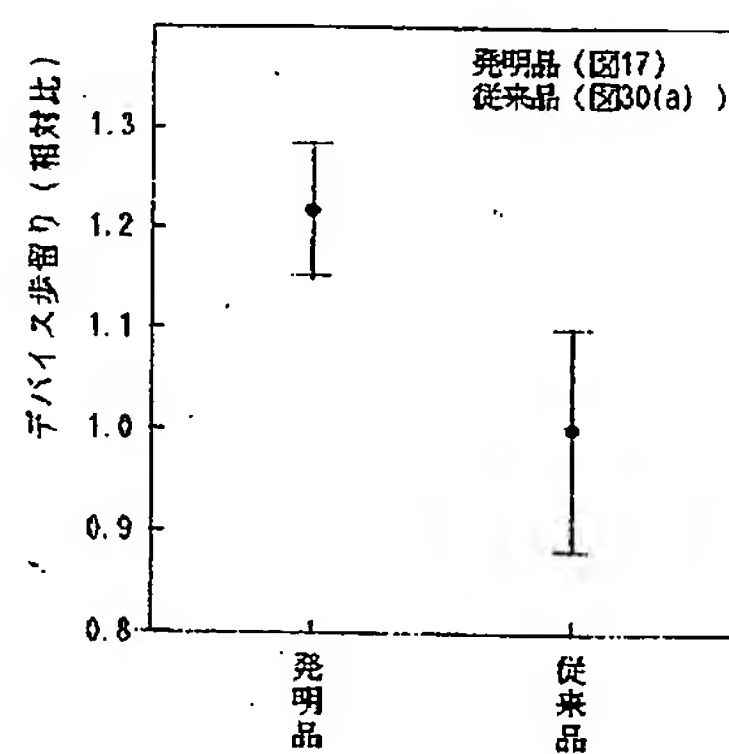


【図26】

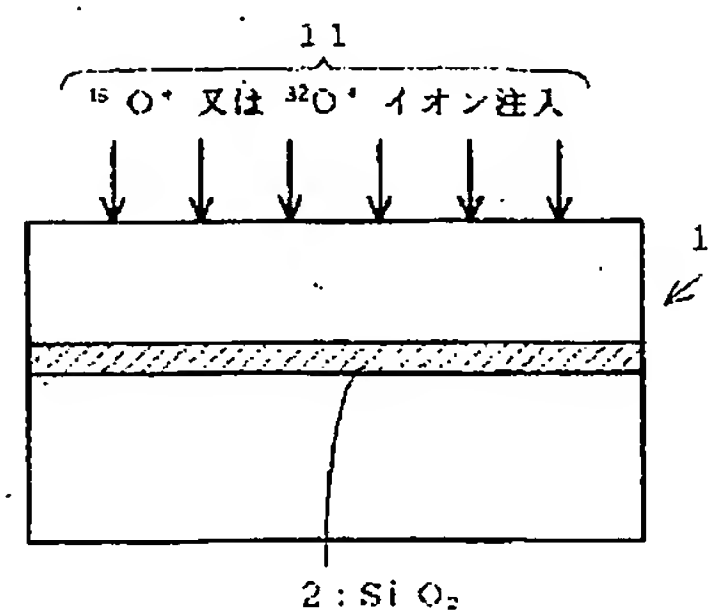
【図24】



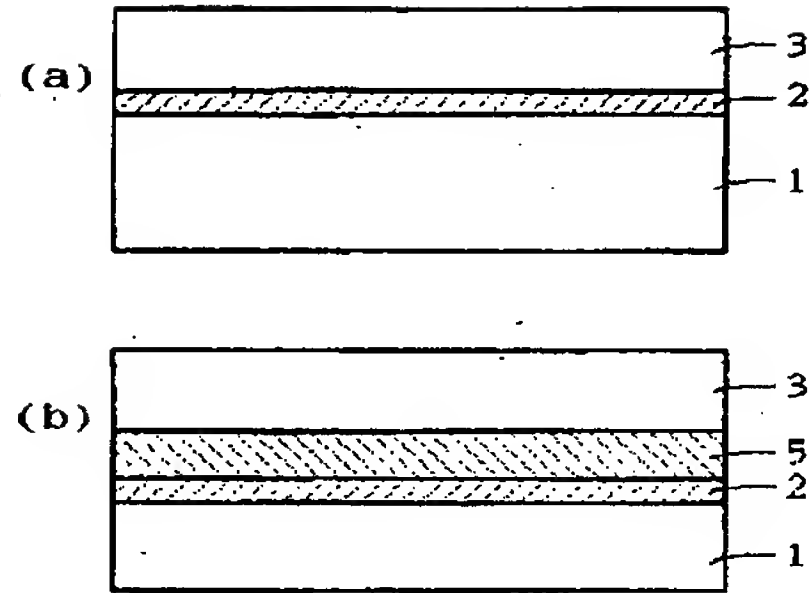
【図25】



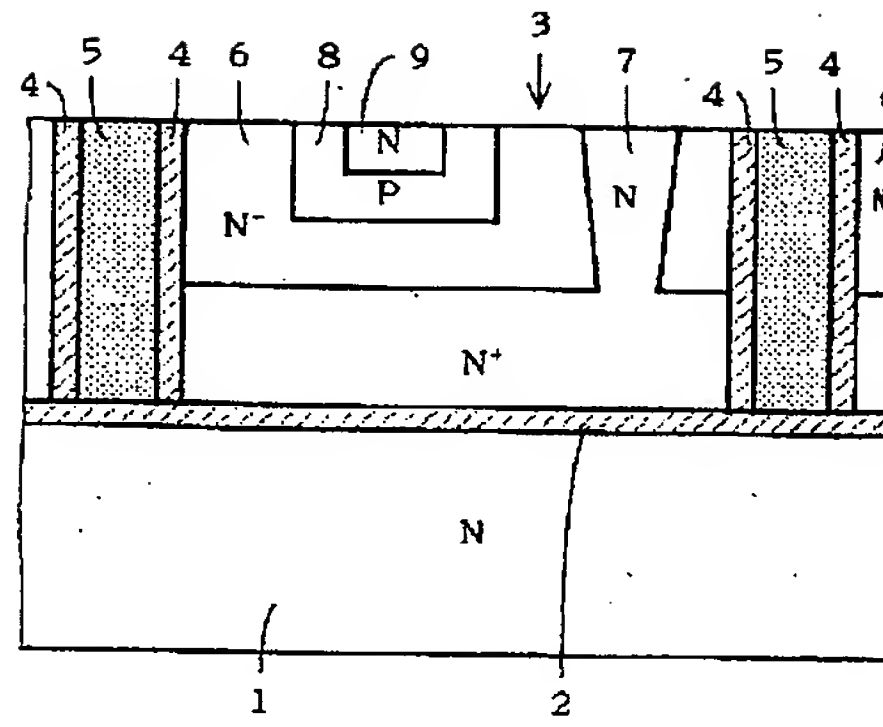
【図27】



【図 28】



【図 29】



【図 30】

